

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-340085

(43)Date of publication of application : 24.12.1996

(51)Int.Cl.

H01L 27/04
H01L 21/822
C01G 29/00
C30B 29/32
G11C 11/22
H01L 21/31
H01L 21/316
H01L 27/10
H01L 21/8247
H01L 29/788
H01L 29/792
H01L 37/02
H01L 49/02

(21)Application number : 07-168119

(22)Date of filing : 09.06.1995

(71)Applicant : SHARP CORP

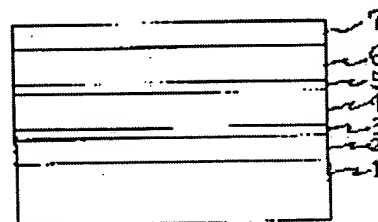
(72)Inventor : SATO SAKIKO
KIJIMA TAKESHI
MATSUNAGA HIRONORI
KOBAYASHI MASAYOSHI

(54) SUBSTRATE COATED WITH FERROELECTRIC THIN FILM, ITS MANUFACTURE, AND CAPACITOR-STRUCTURE DEVICE

(57)Abstract:

PURPOSE: To provide a substrate coated with ferroelectric thin film substrate on which a ferroelectric thin film having a compact flat surface and an excellent leakage current characteristic and showing sufficiently large residual spontaneous polarization can be formed through a low-temperature process, a method for manufacturing the substrate, and a capacitor-structure device using the substrate.

CONSTITUTION: On a substrate coated with ferroelectric thin film, a ferroelectric thin film 6 is formed with a crystalline thin film 5 in between. The size of the crystal grains constituting the thin film 5 is made smaller than that of those constituting the thin film 6.



LEGAL STATUS

[Date of request for examination]

18.12.1998

[Date of sending the examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-340085

(43) 公開日 平成8年(1996)12月24日

(51) IntCl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04			H 0 1 L 27/04	C
21/822			C 0 1 G 29/00	
C 0 1 G 29/00		7202-4G	C 3 0 B 29/32	A
C 3 0 B 29/32			G 1 1 C 11/22	
G 1 1 C 11/22			H 0 1 L 21/31	B
審査請求 未請求 請求項の数 7 F D (全 9 頁) 最終頁に続く				

(21) 出願番号 特願平7-168119

(22) 出願日 平成7年(1995)6月9日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 佐藤 咲子

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 木島 健

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 松永 宏典

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 弁理士 梅田 勝

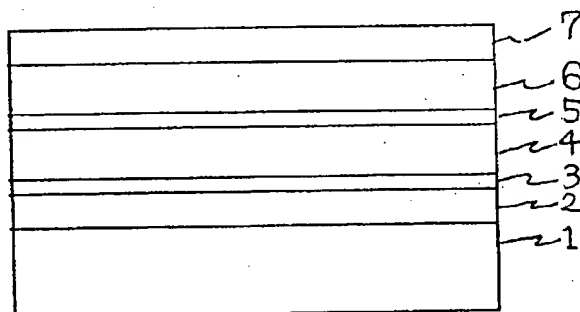
最終頁に続く

(54) 【発明の名称】 強誘電体薄膜被覆基板、その製造方法、及びキャパシタ構造素子

(57) 【要約】

【目的】 本発明は、薄膜の表面が緻密で平坦でリーク電流特性に優れ、かつ十分に大きな残留自発分極を示す強誘電体薄膜が低温プロセスで作製可能な強誘電体薄膜基板、その製造方法、及び前記強誘電体薄膜被覆基板を用いたキャパシタ構造素子を提供することを目的としている。

【構成】 基板1上に結晶質薄膜5を介して強誘電体薄膜6が形成された強誘電体薄膜被覆基板であって、結晶質薄膜5を構成する結晶粒子の粒径が、強誘電体薄膜6を構成する結晶粒子の粒径よりも小さい構成としている。



【特許請求の範囲】

【請求項1】 基板上に結晶質薄膜を介して強誘電体薄膜が形成され、前記結晶質薄膜を構成する結晶粒子の粒径が、前記強誘電体薄膜を構成する結晶粒子の粒径よりも小さいことを特徴とする強誘電体薄膜被覆基板。

【請求項2】 前記結晶質薄膜の膜厚が、前記強誘電体薄膜の膜厚よりも薄いことを特徴とする請求項1に記載の強誘電体薄膜被覆基板。

【請求項3】 前記結晶質薄膜の構成元素と前記強誘電体薄膜の構成元素との少なくとも一つが同一であることを特徴とする請求項1又は2に記載の強誘電体薄膜被覆基板。

【請求項4】 前記結晶質薄膜がチタン酸ビスマスから成り、前記強誘電体薄膜がチタン酸ビスマスから成ることを特徴とする請求項3に記載の強誘電体薄膜。

【請求項5】 基板温度を結晶が生成する温度としてMOCVD法により基板上に結晶質薄膜を形成する工程と、該結晶質薄膜形成時の基板温度より低い基板温度としてMOCVD法により前記結晶質薄膜上に強誘電体薄膜を形成する工程とから成る強誘電体薄膜被覆基板的製造方法。

【請求項6】 前記結晶質薄膜の形成時の基板温度が450℃から650℃であり、前記強誘電体薄膜の形成時の基板温度が400℃から500℃であることを特徴とする請求項5に記載の強誘電体薄膜被覆基板的製造方法。

【請求項7】 請求項1から4のいずれか1項の強誘電体薄膜被覆基板を用いたキャパシタ構造素子であって、前記基板と前記結晶質薄膜との間に導電性材料から成る下部電極が配置され、前記強誘電体薄膜上に導電性材料から成る上部電極が配置されて成ることを特徴とするキャパシタ構造素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、強誘電体メモリ素子、焦電センサ素子、圧電素子等に用いられる強誘電体薄膜被覆基板、その製造方法、及び前記強誘電体薄膜被覆基板を用いたキャパシタ構造素子に関するものである。

【0002】

【従来の技術】 強誘電体は、自発分極、高誘電率、電気光学効果、圧電効果及び焦電効果等の多くの機能をもつことから、コンデンサ、発振器、光変調器あるいは赤外線センサ等の広範なデバイス開発に応用されている。従来、これらの応用は、強誘電体材料である硫酸グリシン(TGS)、 LiNbO_3 、 LiTaO_3 等の単結晶や BaTiO_3 、 PbTiO_3 、 $\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$ (PZT)、PLZT等の焼結セラミックスを切断、研磨により50 μm 程度の厚さまで加工して用いていた。しかし、大型の単結晶は作製が困難で高価であり、また劈開性のために加工が困難である。また、セラミックスは、一般に脆く、加工工程でのひび割れ等により5

0 μm 以下の厚さまで加工することは困難であるため、多くの手間を要し、生産コストも高くなる。

【0003】 一方、薄膜形成技術の進展に伴って、現在これらの強誘電体薄膜の応用分野が広がっている。その一つとして、高誘電率特性をDRAM等の各種半導体素子のキャパシタに適用することにより、キャパシタ面積の縮小化による素子高集積化や、信頼性の向上が図られている。また、特に最近では、DRAM等の半導体メモリ素子との組み合わせにより、高密度でかつ高速に動作する強誘電体不揮発性メモリ(FRAM)の開発が盛んに行われている。強誘電体不揮発性メモリは、強誘電体の強誘電特性(ヒステリシス効果)を利用してバックアップ電源不要とするものである。このようなデバイス開発には、残留自発分極(P_r)が大きくかつ抗電場(E_c)が小さく、低リーク電流であり、分極反転の繰り返し耐性が大きい等の特性をもつ材料が必要である。さらには、動作電圧の低減と半導体微細加工プロセスに適合するために、膜厚200nm以下の薄膜で上記の特性を実現することが望まれる。

【0004】 現在、FRAM等への応用を目的として、 PbTiO_3 、PZT、PLZT等のペロブスカイト構造を有する酸化物強誘電体の薄膜化が、スパッタリング法、蒸着法、ゾルゲル法、MOCVD法等の薄膜形成方法により試みられている。

【0005】 上述の強誘電体材料のうち、 $\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$ (PZT)は、最近最も集中的に研究されているものであり、スパッタリング法やゾルゲル法により強誘電特性の良好な薄膜が得られており、例えば、残留自発分極P_rが10 $\mu\text{C}/\text{cm}^2$ から26 $\mu\text{C}/\text{cm}^2$ と大きな値をもつものも得られている。しかしながら、PZTの強誘電特性は、組成xに大きく依存するにも拘わらず、蒸気圧の高いPbを含むため、成膜時や熱処理時等の膜組成変化が起こり易いことや、ピンホールの発生、下地電極PtとPbの反応による低誘電率層の発生等の結果、膜厚の低減(薄膜化)に伴い、リーク電流や分極反転耐性の劣化が起こるといった問題点がある。この為、強誘電特性、分極反転耐性に優れた他の材料の開発が望まれている。また、集積デバイスへの応用を考えた場合、微細加工に対応できるような薄膜の緻密性も必要となる。

【0006】 強誘電特性が良好であり、また、分極反転耐性に優れている材料として、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ で示されるBi系の層状酸化物材料が注目を浴びている。この $\text{SrBi}_2\text{Ta}_2\text{O}_9$ の薄膜はMOD法によって製造されるものである。このMOD法とは、以下の工程を含む成膜方法である。すなわち、ゾルゲル法と同様に有機金属原料を所定の膜組成になるように混合し、濃度及び粘度を調整した塗布用の原料溶液を作製する。これを基板上にスピンコートし乾燥し、さらに有機成分の除去のために仮焼結を行う。これを所定の膜厚になるまで繰り返す。

返し、最後に本焼結による結晶化を行う。したがって、膜厚の制御は、1回の塗布膜の厚さに制限される。(1994年秋期応用物理学会予稿集20p-M-19参照)

強誘電体材料としての $\text{SrBi}_2\text{Ta}_2\text{O}_9$ の最も大きい問題は、焼結温度が 750°C から 800°C と極めて高く、更に1時間以上という長い焼結時間が必要なことである。このように製造工程において、 650°C 以上の温度で長時間の成膜や熱処理等の工程が行われると、下地の白金電極と強誘電体間の相互拡散反応や更には下地電極の下シリコンや酸化シリコンと電極や強誘電体との反応が起こり、また強誘電体薄膜からの構成元素の揮発による膜組成の変化が発生し、実際のデバイス作製プロセスへの適用は困難となる。また、現在のところ、表面モフォロジーが $0.3\mu\text{m}$ 程度の粒子径の大きい膜しか得られていないことから、高集積デバイスの開発に必要なサブミクロンの微細加工に適用できない。さらに、塗布成膜であるため、段差部の被覆性の悪さ、配線断線等の問題がある。したがって、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ は強誘電特性及び分極反転耐性には優れているものの、強誘電体薄膜材料としては、なお大きな問題をもっている。

【0007】また、現在、強誘電体不揮発メモリの高集積化を実現するために、MOSTランジスタと強誘電体キャパシタとの間の配線に多結晶シリコンを用いることが検討されているが、上記 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ のような長時間の高温プロセスで強誘電体薄膜を作製するものでは、配線用の多結晶シリコンと強誘電体薄膜の間での相互拡散による特性劣化が起こるという問題がある。このような問題を解消するために各種の拡散バリア層を挿入した構造が検討されているが、それでも、強誘電体薄膜の成膜温度は 650°C までが許容範囲であり、他の熱処理工程においても短時間であれば 700°C 程度が限界と考えられる。しかしながら、現状では、上記の $\text{SrBi}_2\text{Ta}_2\text{O}_9$ や他の強誘電体薄膜では、一般的に成膜温度が高いほど、結晶性と共に強誘電特性も向上するので、成膜温度を下げると、結晶性や強誘電特性が劣化してしまい、強誘電体薄膜における強誘電特性の向上と低温成膜を両立させることは困難である。

【0008】他方、リーク電流や分極反転耐性に悪影響を及ぼすPbを含まない酸化物強誘電体として、層状ペロブスカイト構造を有する $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ がある。この $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ は、異方性の強い層状ペロブスカイト構造(斜方晶系/格子定数: $a=5.411\text{\AA}$ 、 $b=5.448\text{\AA}$ 、 $c=32.83\text{\AA}$)をもつ強誘電体であり、その単結晶の強誘電性はa軸方向に残留自発分極 $P_r=50\mu\text{C}/\text{cm}^2$ 、抗電界 $E_c=50\text{kV}/\text{cm}$ と、上記のビスマス系酸化物強誘電体の中でも最も大きい自発分極をもち、優れた特性を示すものである。したがって、この $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ のもつ大きな自発分極を強誘電体不揮発性メモリ等に応用するためには、基板に垂直方

向に結晶のa軸成分を多くもつようにすることが望ましい。

【0009】 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の薄膜化は、これまでにも、MOCVD法やゾルゲル法により試みられているが、それらのほとんどが、a軸配向膜よりも自発分極が小さいc軸配向膜である。また、従来のゾルゲル法では、良好な強誘電特性を得るために 650°C 以上の熱処理が必要であり、更に膜表面モフォロジーは $0.5\mu\text{m}$ 程度の結晶粒からなるので、微細加工を必要とする高集積デバイスには適用するのは困難である。一方、MOCVD法により、c軸配向の $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜が基板温度 600°C 以上で、Pt/SiO₂/Si基板やPt基板上に作製されているが、これらの基板は、そのまま実際のデバイス構造に適用できるものではない。すなわち、Pt/Ti/SiO₂/Si基板のように、Pt電極層とその下のSiO₂との接着強度を確保するためのTi膜等の接着層が必要である。ところが、このような接着層を設けたPt電極基板上に、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜をMOCVD法により作製した場合、その膜表面モフォロジーは、粗大結晶粒からなると共に、パイロクロア相($\text{Bi}_2\text{Ti}_2\text{O}_7$)が発生し易くなることが報告されている(Jpn. J. Appl. Phys., 32, 1993, pp. 4086、及びJ. Ceramic Soc. Japan, 102, 1994, pp. 512参照)。膜表面モフォロジーが粗大結晶粒からなると、微細加工を必要とする高集積デバイスには適用できないばかりか、薄い膜厚ではピンホールの原因となり、リーク電流の発生をもたらすことになる。したがって、このような従来技術では、 200nm 以下の薄い膜厚で良好な強誘電特性を有する強誘電体薄膜を実現することは困難な状況である。

【0010】

【発明が解決しようとする課題】以上のように、上記従来技術では、強誘電体薄膜を高集積デバイスに適用するのに、微細加工や低リーク電流のために必要な薄膜表面の緻密性や平坦性、大きな残留自発分極、低温成膜プロセス等の様々な条件を十分に満たすものが得られていないという課題を有している。

【0011】本発明は、上記のような課題を解決するためになされたものであって、薄膜の表面が緻密で平坦でリーク電流特性に優れ、かつ十分に大きな残留自発分極を示す強誘電体薄膜が低温プロセスで作製可能な強誘電体薄膜被覆基板、その製造方法、及び前記強誘電体薄膜被覆基板を用いたキャパシタ構造素子を提供することを目的としている。

【0012】

【課題を解決するための手段】上記課題を解決するため、本発明では、基板上に結晶質薄膜を介して強誘電体薄膜が形成され、その結晶質薄膜を構成する結晶粒子の粒径が、その強誘電体薄膜を構成する結晶粒子の粒径よ

りも小さい強誘電体薄膜被覆基板としている。

【0013】さらに、本発明では、上記の強誘電体薄膜被覆基板において、結晶質薄膜の膜厚を、強誘電体薄膜の膜厚よりも薄くしている。

【0014】さらに、本発明では、上記の強誘電体薄膜被覆基板において、結晶質薄膜の構成元素と前記強誘電体薄膜の構成元素との少なくとも一つが同一であることとしている。

【0015】さらに、本発明では、上記の強誘電体薄膜被覆基板において、結晶質薄膜がチタン酸ビスマスから成り、前記強誘電体薄膜がチタン酸ビスマスから成ることとしている。

【0016】また、本発明では、基板温度を結晶が生成する温度としてMOCVD法により基板上に結晶質薄膜を形成する工程と、その結晶質薄膜形成時の基板温度より低い基板温度としてMOCVD法によりその結晶質薄膜上に強誘電体薄膜を形成する工程とから成る強誘電体薄膜被覆基板の製造方法としている。

【0017】さらに、本発明では、上記の強誘電体薄膜被覆基板の製造方法において、結晶質薄膜の形成時の基板温度を450℃から650℃とし、強誘電体薄膜の形成時の基板温度を400℃から500℃としている。

【0018】また、本発明では、上記の強誘電体薄膜被覆基板を用いたキャパシタ構造素子において、基板と結晶質薄膜との間に導電性材料から成る下部電極を配置し、強誘電体薄膜上に導電性材料から成る上部電極を配置して構成している。

【0019】

【作用】本発明の強誘電体薄膜被覆基板では、基板上に、初期核層として粒径が小さな結晶粒子から成る結晶質薄膜を介在させて、強誘電体薄膜を配置するようにしているので、その優れた結晶性を継承させることによって、結晶質薄膜成膜時の成膜温度（基板温度）よりも低温の成膜温度（基板温度）で膜厚の厚い第2の強誘電体薄膜を形成しても、十分な強誘電性を確保することができる。さらに、強誘電体薄膜を低温で形成すると、薄膜を構成する結晶粒子の粗大化を防止できるので、緻密で表面平滑な強誘電体薄膜を得ることができる。

【0020】すなわち、本発明の強誘電体薄膜被覆基板では、基板上に、粒径が小さな結晶粒子から成る結晶質薄膜を介して、強誘電性を示すのに必要な膜厚の強誘電体薄膜を配置した構成とすることによって、十分な強誘電性を保ち、かつ、薄膜の平滑性・緻密性に優れた強誘電体薄膜を得ることができるというものである。

【0021】さらに、このように本発明の強誘電体薄膜被覆基板は強誘電体薄膜の平滑性・緻密性に優れているので、微細加工が可能になり、様々な高集積デバイスへの応用が可能になる。そして、これを用いた本発明のキャパシタ構造素子を初め、様々なデバイスに応用すれば、ピンホールの発生を抑え、リーク電流特性を大きく

改善することができる。

【0022】このような本発明の強誘電体薄膜被覆基板は、MOCVD法を用い、基板温度を結晶が生成する温度として結晶質薄膜を基板上に形成した後、基板温度を結晶質薄膜形成時より低くして強誘電体薄膜を形成することにより製造することができる。これは、結晶質薄膜を初期核層として作用させ、即ち結晶質薄膜を構成する結晶粒子を核として、強誘電体薄膜を構成する結晶粒子を成長させるので、十分な強誘電性を保ち、かつ、薄膜の平滑性・緻密性に優れた強誘電体薄膜を得ることができるというものである。

【0023】この本発明の製造方法において、結晶質薄膜の形成工程の基板温度は若干高いものであるが、従来のものと比較すれば十分に低温であり、さらに、結晶質薄膜は薄くても良いので短時間の工程となり、基板温度の影響はほとんどないものである。

【0024】したがって、本発明の強誘電体薄膜被覆基板の製造方法によれば、強誘電体薄膜形成工程の大部分が非常に低温であるので、複数の素子を備えた高集積デバイスにおいて、他の素子を損傷することがなく、高集積デバイスへの応用が可能になるばかりか、設計の自由度を著しく向上させることができる。

【0025】

【実施例】以下、本発明の一実施例について、図面を参照して説明する。図1は、本発明の第1の実施例であるキャパシタ構造素子の構造を示す図である。図1に示すように、このキャパシタ構造素子は、シリコン（Si）基板1上に、酸化シリコン（SiO₂）層2、接着層3、下部電極4、結晶質薄膜5、強誘電体薄膜6、上部電極層7が、それぞれ順次形成されているものである。

【0026】第1の実施例では、シリコン基板1としてはシリコン単結晶ウエハを用い、SiO₂層2としてはシリコン単結晶ウエハ表面を熱酸化して得られる酸化シリコン薄膜を用いていた。また、接着層3としてはタンタル（Ta）薄膜を、下部電極4としては白金（Pt）薄膜を、結晶質薄膜5としてはチタン酸ビスマス薄膜を、強誘電体薄膜6としてはチタン酸ビスマス薄膜を、上部電極7としては白金（Pt）薄膜をそれぞれ用いた。

【0027】次に、図1に示した第1の実施例のキャパシタ構造素子の製造方法について説明する。まず、Pt/Ta/SiO₂/Si基板の作製について説明する。シリコン基板1であるシリコン単結晶ウエハ（100）面の表面を熱酸化することにより、膜厚200nmのSiO₂層2を形成する。そして、接着層3であるTa薄膜を膜厚30nmで、そして、下部電極層4であるPt薄膜を膜厚200nmで、それぞれスパッタ法により形成した。

【0028】なお、ここで、これらの材料や膜厚は、本実施例に限定されるものではなく、シリコン単結晶基板

の代わりに多結晶シリコン基板やGaAs基板等を用いても良い。また、接着層は、成膜中に基板と下部電極層との熱膨張率が異なることに起因する膜の剥離を防止するものであり、膜厚は膜の剥離を防止できる程度であれば良く、材料についてもTa以外にチタン(Ti)等を用いることができるが、本実施例の場合、TiとPtとの合金が形成されるのでTaを用いるのが好ましい。また、絶縁層に用いたSiO₂層は、熱酸化により作製されたものでなくても良く、スパッタ法、真空蒸着法、MOCVD法等により形成されたSiO₂膜や窒化シリコン膜等を用いることができ、材料も膜厚も十分に絶縁性を有するものであれば良い。

【0029】また、下部電極についても、膜厚は十分に電極層として機能できる程度であれば良く、材料はPtに限定されるものでなく、通常の電極材料に用いられる導電性材料で良いが、他の薄膜との関連で適宜選択できるものである。また、成膜方法も、ここまでは、シリコ*

*ン熱酸化やスパッタ法に限定されるものでなく、真空蒸着法等の通常の薄膜形成技術を用いて行っても良い。また、基板構造も上記のものに限定されるものではない。【0030】ここで、このようにして作製したPt/Ta/SiO₂/Si基板を用いて、本実施例で結晶質薄膜として用いるチタン酸ビスマス薄膜のMOCVD法による形成時の基板温度に対する、その薄膜を構成する結晶粒子の粒径及びその薄膜の結晶性について検討を行った。

10 【0031】上記のPt/Ta/SiO₂/Si基板上に、基板温度(成膜温度)を、400℃、450℃、500℃、550℃、600℃、650℃と変化させて、下記の表1に示す原料の条件で、MOCVD法により結晶質薄膜であるチタン酸ビスマス薄膜を膜厚100nmで形成した。

【0032】

【表1】

原料	Bi(o-C ₇ H ₇) ₃	Ti(i-OC ₃ H ₇) ₄
原料温度	160℃	50℃
キャリアガス(Ar)流量	200sccm	100sccm
反応ガス(O ₂)流量	1000sccm	
反応圧力	5Torr	

【0033】チタン酸ビスマス薄膜の成膜は、表1に示すようにビスマス原料としてトリオルトリルビルビスマス(Bi(o-OC₇H₇)₃)を、チタン原料としてチタンイソプロポキサイド(Ti(i-OC₃H₇)₄)をそれぞれ用いて、これらの原料を表1に示す原料温度にそれぞれ加熱気化して(ビスマス原料160℃、チタン原料50℃)、キャリアガスであるアルゴン(Ar)ガスと反応ガスである酸素(O₂)ガスと共に成膜室内に供給した。ここで、Arガス供給時の流量はBi原料に対して200sccm、Ti原料に対して100sccmとし、O₂ガス供給時の流量は1000sccmとした。なお、これらの成膜工程において、成※

※膜室内の真空度は、10Torr以上であると気相反応が起こりやすくなるので、5Torrとした。

【0034】このようにして形成したチタン酸ビスマス薄膜について、AFM(Atomic Force Microscope:原子間力顕微鏡)及びX線回折により、結晶粒子の粒径と結晶性を調べた結果を下記表2に示す。なお、結晶粒(グレイン)の大きさは、AFM測定による薄膜表面の凹凸形状から求めたものである。表2から、成膜温度(基板温度)が高くなるにつれて、結晶粒子が大きくなっていることがわかる。

【0035】

【表2】

成膜温度 ℃	400	450	500	550	600	650
結晶粒の 大きさ (nm)	50	80	100	150	250	300
結晶性	アモルファス	バイロクロア相 Bi ₂ Ti ₂ O ₇ (111)配向	バイロクロア相 Bi ₂ Ti ₂ O ₇ + 層状ペロブスカイト BaTi ₃ O ₁₂	層状ペロブスカイト Bi ₄ Ti ₃ O ₁₂ (ランダム配向)	c軸配向 Bi ₄ Ti ₃ O ₁₂	

【0036】本発明では、結晶質薄膜を強誘電体薄膜の初期核層として用いる、即ち強誘電体薄膜を構成する結晶粒子の初期核として、結晶質薄膜を構成する結晶粒子を用いるものである。このことを考慮すると、表2によれば、結晶性を示す基板温度450℃以上のものが有効であることがわかる。そして、この結晶質薄膜上に形成

する強誘電体薄膜において大きな残留分極値を得るには、常誘電性を示すバイロクロア相Bi₂Ti₂O₇よりも、強誘電性を示すBi₄Ti₃O₁₂の方が好ましいと考えられる。さらに、Bi₄Ti₃O₁₂の中でもc軸配向より、大きな残留分極値を示すa軸配向成分を含んだランダム配向がより好ましいと考えられるので、第1の実施

例では、結晶質薄膜として、基板温度600℃で形成するBi,Ti,O₂薄膜とした。

【0037】また、上記のPt/Ta/SiO₂/Si基板上に、基板温度600℃として、上記のようなMOCVD法による成膜条件で、チタン酸ビスマスBi,Ti,O₂薄膜の膜厚を、5nm、10nm、25nm、*

*50nm、100nmと変化させて、それらの薄膜の表面平滑性についても検討を行った。

【0038】その結果は、下記表3に示すように、膜厚が厚くなるにつれ、結晶粒の大きさが大きくなった。

【0039】

【表3】

膜厚	5nm	10nm	25nm	50nm	100nm
結晶粒の大きさ(nm)	5	5	20	100	250

【0040】強誘電体薄膜の平滑性・緻密性を良好にするため、本実施例では、最も小さな粒径の5nmを示す膜厚5nmのものが、結晶質薄膜として好ましいものと考えられる。

【0041】これらの検討結果により、第1の実施例では、結晶質薄膜として、MOCVD法による成膜時の基板温度を600℃とした、膜厚5nmのBi,Ti,O₂薄膜を用いることにした。

【0042】上記のPt/Ta/SiO₂/Si基板上に、上記のようなMOCVD法による成膜条件で、基板温度を600℃として、膜厚5nmのBi,Ti,O₂結晶質薄膜を形成した後、このBi,Ti,O₂結晶質薄膜上に、強誘電体薄膜を形成した。第1の実施例では、強誘電体薄膜に、結晶質薄膜のチタン酸ビスマスBi,Ti,O₂薄膜の構成元素と同一の元素から構成されるチタン酸ビスマスBi,Ti,O₂から成る薄膜を用いた。この強誘電体Bi,Ti,O₂薄膜の形成にはMOCVD法を用い、その成膜条件は基板温度以外を上記のBi,Ti,O₂結晶質薄膜の成膜条件と全く同じものとし、基板温度については、Bi,Ti,O₂結晶質薄膜成膜時の基板温度600℃よりも低い400℃として、膜厚95nmの強誘電体Bi,Ti,O₂薄膜を形成した。したがって、第1の実施例のBi,Ti,O₂薄膜の膜厚は、結晶質薄膜と強誘電体薄膜とで、トータル膜厚100nmとなる。なお、本実施例において、Bi,Ti,O₂結晶質薄膜の成膜時間は約2分、強誘電体Bi,Ti,O₂薄膜の成膜時間は約1時間であった。

【0043】次に、上記のようにして形成した強誘電体Bi,Ti,O₂薄膜の表面をAFMを用いて測定したところ、結晶粒の粒径は50nmであり、結晶質薄膜の結晶粒の粒径5nmに比較して大きいものであった。比較のために、基板温度600℃で、それ以外を本実施例と同条件としてMOCVD法により、膜厚100nmのBi,Ti,O₂薄膜を成膜すると、その薄膜の粒径は300nmとなり、本実施例の強誘電体Bi,Ti,O₂薄膜の粒径の方が、6分の1にも微小なものになっていることがわかる。

【0044】また、この本実施例の強誘電体Bi,Ti,O₂薄膜表面をSEM(走査型電子顕微鏡)により観察

した結果は、図2に示すように、上記のAFM測定の結果と一致して、緻密で表面平滑な薄膜が得られていることがわかる。

【0045】そして、この本実施例の強誘電体Bi,Ti,O₂薄膜の結晶性について、X線回折により観察した結果を図3に示す。

【0046】図3において、縦軸はX線回折強度であり、横軸は回折角度2θ(deg)である。そして、(00n)(nは整数)はBi,Ti,O₂のc軸配向による回折ピークを表し、(200)はBi,Ti,O₂のa軸配向による回折ピークを表し、(111)、(117)、(220)、(2014)、(137)はいずれもBi,Ti,O₂のa軸成分を含むランダムな配向による回折ピークを表し、2θ=40度(deg)付近のPt(111)の回折ピークは下部電極のPtによるものである。

【0047】図3のX線回折パターンによれば、本実施例の強誘電体薄膜には、a軸配向、c軸配向、ランダムな配向が混在した、即ちランダム配向成分を有するBi,Ti,O₂が形成されていることがわかる。これにより、第1の実施例では、ランダム配向のBi,Ti,O₂結晶質薄膜上に、ランダム配向の強誘電体Bi,Ti,O₂薄膜が形成されたことが確認された。

【0048】ここで、比較のため、第1の実施例と同様のPt/Ta/SiO₂/Si基板を用いて、そのPtのすぐ上に、上記の強誘電体Bi,Ti,O₂薄膜成膜時と同条件(基板温度400℃)で、チタン酸ビスマス薄膜を形成したところ、このチタン酸ビスマス薄膜は、アモルファス構造を示した。即ち、本実施例と異なり、上記のような結晶質薄膜を形成しなかったものでは、チタン酸ビスマス薄膜が結晶化せずに、アモルファス構造となったのである。このことから、本発明の結晶質薄膜とにより、400℃という非常に低温で、通常なら結晶化しない基板温度において、結晶性を示す強誘電体薄膜が形成可能なることがわかった。このような、本発明の効果は、強誘電体薄膜において、薄い膜厚の結晶質薄膜の結晶状態を継承し、結晶成長が促進されることによるものと考えられる。

【0049】次に、上記のようにして、Pt/Ta/S

SiO_2/Si 基板上に、 $\text{Bi}_2\text{Ti}_2\text{O}_7$ 結晶質薄膜、強誘電体 $\text{Bi}_2\text{Ti}_2\text{O}_7$ 薄膜が、それぞれ順次形成されたその上に、上部電極7としてPt電極($100\mu\text{m}^2$)を真空蒸着法により形成して、図1に示すようなキャパシタ構造素子を作製した。

【0050】なお、ここで形成した上部電極7についても、下部電極2と同様、膜厚は十分に電極として機能できる程度であれば良く、材料はPtに限定されるものでなく、通常の電極材料に用いられる導電性材料で良く、また成膜方法も真空蒸着法の他スパッタ法等を用いることができる。

【0051】図1に示した下部電極4と上部電極8との間に電圧を印加して、本実施例のキャパシタ構造素子の強誘電特性を評価した結果、図4に示すような強誘電性ヒステリシス曲線を示した。すなわち、本実施例のキャパシタ構造素子では、3V印加において、残留自発分極 $P_r = 9\mu\text{C}/\text{cm}^2$ 、抗電場 $E_c = 140\text{kV}/\text{cm}$ という、 $\text{Bi}_2\text{Ti}_2\text{O}_7$ 薄膜のトータル膜厚が 100nm という非常に薄い膜厚にもかかわらず、大きな残留自発分極を有する特性を示した。この P_r の値は、 $\text{Bi}_2\text{Ti}_2\text{O}_7$ 単結晶(バルク)で報告されているc軸方向における $P_r = 4\mu\text{C}/\text{cm}^2$ と比較して、2倍以上の大きい値が得られている。

【0052】この $9\mu\text{C}/\text{cm}^2$ という大きな本実施例の P_r は、 $\text{Bi}_2\text{Ti}_2\text{O}_7$ のa軸方向の P_r の値がc軸方向のものより大きいことが知られており、また本実施例のX線回折観察からランダム配向の強誘電体 $\text{Bi}_2\text{Ti}_2\text{O}_7$ を示したことから、 $\text{Bi}_2\text{Ti}_2\text{O}_7$ 強誘電体のa軸配向成分が大きく寄与しているためと考えられる。

【0053】また、この本実施例のキャパシタ構造素子において、リーク電流密度 I_l を測定した結果、印加電圧依存性は図5に示すようになり、印加電圧3Vで、 $I_l = 8 \times 10^{-9}\text{A}/\text{cm}^2$ という、 $\text{Bi}_2\text{Ti}_2\text{O}_7$ 薄膜のトータル膜厚が 100nm という非常に薄い膜厚にもかかわらず、非常に小さく良好な値が得られた。これは、上述したように、平滑性に優れた緻密な強誘電体 $\text{Bi}_2\text{Ti}_2\text{O}_7$ 薄膜となっているので、ピンホールの発生を抑えて、リーク電流特性を大きく改善できたものと考えられる。

【0054】次いで、第2の実施例として、結晶性薄膜に $\text{Bi}_2\text{Ti}_2\text{O}_7$ (パイロクロア相)薄膜を用い、強誘電体薄膜に結晶性薄膜の構成元素と同一の元素から成る強誘電体 $\text{Bi}_2\text{Ti}_2\text{O}_7$ 薄膜を用いたものについて説明する。

【0055】第2の実施例の試料作製については、上記第1の実施例で $\text{Bi}_2\text{Ti}_2\text{O}_7$ 結晶質薄膜成膜時の基板温度を 600°C としたのを、基板温度 450°C と変えただけで、その他の条件を全く上記第1の実施例と同様として、Pt/Ta/ SiO_2/Si 基板上に、MOCVD法により、膜厚 5nm の $\text{Bi}_2\text{Ti}_2\text{O}_7$ 結晶質薄膜

と、膜厚 95nm の強誘電体 $\text{Bi}_2\text{Ti}_2\text{O}_7$ 薄膜とを順次形成したものである。なお、第2の実施例において、 $\text{Bi}_2\text{Ti}_2\text{O}_7$ 結晶質薄膜の成膜時間は約4分間であり、強誘電体 $\text{Bi}_2\text{Ti}_2\text{O}_7$ 薄膜の成膜時間は上記第1の実施例と同様約1時間であった。

【0056】第2の実施例の強誘電体 $\text{Bi}_2\text{Ti}_2\text{O}_7$ 薄膜の表面をSEMにより観察したところ、上記第1の実施例と同様に、緻密で表面平滑性に優れた薄膜が得られたことが確認できた。また、X線回折による観察によれば、第2の実施例では、 $\text{Bi}_2\text{Ti}_2\text{O}_7$ パイロクロア相と $\text{Bi}_2\text{Ti}_2\text{O}_7$ ペロブスカイト相とによる回折パターンを示した。これは、 $\text{Bi}_2\text{Ti}_2\text{O}_7$ 結晶質薄膜(パイロクロア相)が初期核層として作用し、この上に形成した強誘電体 $\text{Bi}_2\text{Ti}_2\text{O}_7$ 薄膜において、 $\text{Bi}_2\text{Ti}_2\text{O}_7$ ペロブスカイト相が成長したものと考えられる。

【0057】なお、上記実施例では、MOCVD法による結晶性薄膜の成膜時の基板温度を 600°C 又は 450°C とし、強誘電体薄膜の成膜時の基板温度を 400°C としたが、これに限定されるものではなく、結晶性薄膜の成膜時の基板温度は $450^\circ\text{C} \sim 650^\circ\text{C}$ の範囲で、また第2の強誘電体薄膜の成膜時の基板温度は $400^\circ\text{C} \sim 500^\circ\text{C}$ の範囲で、結晶質薄膜成膜時の基板温度より強誘電体薄膜成膜時の基板温度が低い条件のもので、上記実施例と同様な良好な結果が得られた。

【0058】なお、上記実施例では、結晶性薄膜の膜厚を 5nm とし、強誘電体薄膜の膜厚を 95nm としたが、これらに限定されるものではなく、結晶性薄膜の膜厚は $5\text{nm} \sim 10\text{nm}$ の範囲で、強誘電体薄膜の膜厚は $5\text{nm} \sim 300\text{nm}$ の範囲で、本発明の効果が十分に得られるものである。

【0059】なお、上記実施例では強誘電体材料として $\text{Bi}_2\text{Ti}_2\text{O}_7$ を用いたが、これに限定されるものではなく、同様の層状ペロブスカイト構造を有するBi系強誘電体材料である $\text{SrBi}_2\text{Nb}_2\text{O}_9$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{BaBi}_2\text{Nb}_2\text{O}_9$ 、 $\text{BaBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{PbBi}_2\text{Nb}_2\text{O}_9$ 、 $\text{PbBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{SrBi}_2\text{Ti}_2\text{O}_9$ 、 $\text{BaBi}_2\text{Ti}_2\text{O}_9$ 、 $\text{PbBi}_2\text{Ti}_2\text{O}_9$ 、 $\text{NaBi}_2\text{Ti}_2\text{O}_9$ 、 $\text{KBi}_2\text{Ti}_2\text{O}_9$ 、 $\text{Sr}_2\text{Bi}_2\text{Ti}_2\text{O}_9$ 、 $\text{Ba}_2\text{Bi}_2\text{Ti}_2\text{O}_9$ 、 $\text{Pb}_2\text{Bi}_2\text{Ti}_2\text{O}_9$ 等が、本発明に適用可能と考えられる。また、本発明は、強誘電体材料として、これら以外に、 PZT 、 PLZT 、 SrTiO_3 (STO)、 $\text{Ba}_0.7\text{Sr}_0.3\text{TiO}_3$ (BST)も適用可能なものである。

【0060】なお、上記実施例では、基板としてPt/ $\text{Ta}/\text{SiO}_2/\text{Si}$ 基板を用いたキャパシタ構造素子としたが、これに限定されるものではない。例えば、SiやGaAs基板に集積回路が形成され、その集積回路の表面に酸化シリコンや窒化シリコン等の層間絶縁膜が被覆され、この層間絶縁膜の一部に形成されたコンタクトホールを介して、集積回路の要素と電気的に接続された

電極層が層間絶縁膜上に形成され、その電極層上に本発明の強誘電体薄膜を形成するような構成にしても良い。即ち、本発明は、上記実施例のキャパシタ構造やトランジスタ構造を初めとした集積回路の要素と電気的に接続した集積回路素子や、様々な高集積デバイスに適用可能なものである。

【0061】

【発明の効果】以上のように、本発明の強誘電体薄膜被覆基板によれば、実施例で述べたように100nmという極薄い膜厚においても、十分な強誘電特性を確保し、かつ平滑性・緻密性に優れた強誘電体薄膜を実現できるので、リーク電流特性を大幅に向上させることができる。さらに、様々な微細加工プロセスに対応でき、高集積デバイスに応用するのに有効なものである。

【0062】また、本発明の強誘電体薄膜の製造方法によれば、強誘電体薄膜形成工程の大部分が、実施例で述べたように400℃という低温プロセスで結晶性に優れた強誘電体薄膜を形成できるので、高集積デバイスに応用することが可能となる。さらに、従来のMOD法やゾルゲル法等の塗布成膜でなく、MOCVD法を用いているので、大面積の薄膜を膜厚制御性良く、高速*

*に製造することができるので、生産性を著しく向上させることができる。

【図面の簡単な説明】

【図1】本発明の強誘電体薄膜を用いたキャパシタ構造素子の構造を示す断面概略図である。

【図2】第1の実施例の強誘電体 $\text{Bi,Ti,O}_{1.2}$ 薄膜表面のSEMによる観察結果を示す写真である。

【図3】第1の実施例の強誘電体 $\text{Bi,Ti,O}_{1.2}$ 薄膜のX線回折による観察結果を示す図である。

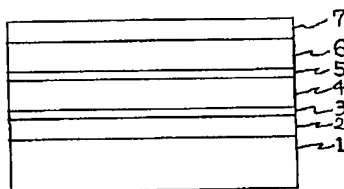
【図4】第1の実施例のキャパシタ構造素子の強誘電ヒステリシス曲線を示す図である。

【図5】第1の実施例のキャパシタ構造素子のリーク電流密度 I_1 の印加電圧依存性を示す図である。

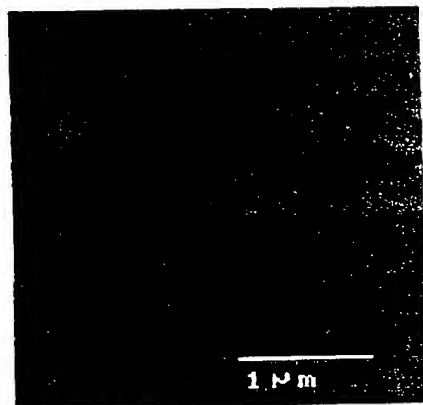
【符号の説明】

- 1 シリコン基板
- 2 酸化シリコン層
- 3 接着層
- 4 下部電極
- 5 結晶質薄膜
- 6 強誘電体薄膜
- 7 上部電極

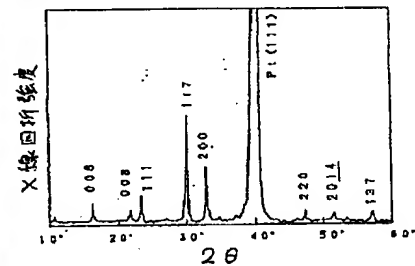
【図1】



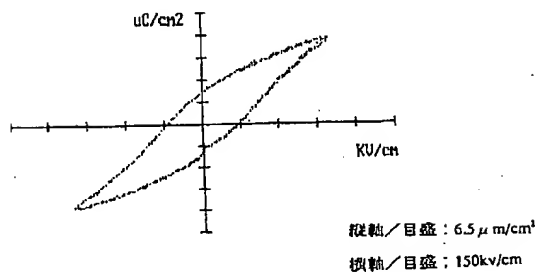
【図2】



【図3】

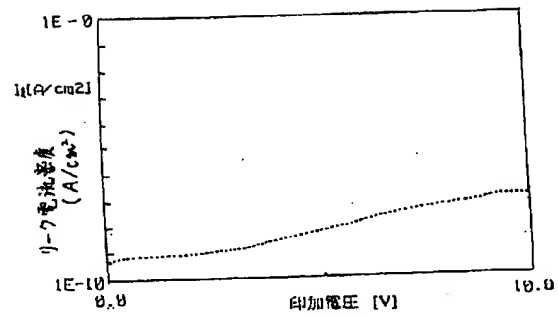


【図4】



BEST AVAILABLE COPY

【図5】



フロントページの続き

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/31			H 0 1 L 21/316	X
21/316			27/10	4 5 1
27/10	4 5 1		37/02	
21/8247			49/02	
29/788			29/78	3 7 1
29/792				
37/02				
49/02				

(72)発明者 木場 正義
 大阪府大阪市阿倍野区长池町22番22号 シ
 ャープ株式会社内